

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PAT-NO: JP402027600A

DOCUMENT-IDENTIFIER: JP 02027600 A

TITLE: INTEGRATED CIRCUIT DEVICE

PUBN-DATE: January 30, 1990

INVENTOR-INFORMATION:

NAME

HIRASHIMA, MASAYOSHI

ASSIGNEE-INFORMATION:

NAME

COUNTRY

MATSUSHITA ELECTRIC IND CO LTD

N/A

APPL-NO: JP63177820

APPL-DATE: July 15, 1988

INT-CL (IPC): G11C029/00

US-CL-CURRENT: 714/763, 714/FOR.103

ABSTRACT:

PURPOSE: To reduce the number of auxiliary memories by forming a memory cell which adds one bit error correcting circuit, error-corrects and stores data, and error-corrects and reads them at the time of reading, an error-correcting logic, a control logic, etc., on the same semiconductor substrate.

CONSTITUTION: A residual memory cell having a smaller information quantity than that to be stored into an integrated circuit to which digital signals are stored bit by bit at every one memory cell is provided, and an error-correcting logic circuit 2 to generate the error-correcting code at a (k) bit for an (n) bit of the information quantity, a pair of data registers 7 and 8 to temporarily save the information, and a control logic 6 to control the data register, the error-correcting logic and the address of the memory cell are formed on the same semiconductor substrate. Further, an (n+k) bit is read, the error is corrected, and the correct data at the (n) bit are obtained. Thus, the number of the auxiliary memories can be reduced.

COPYRIGHT: (C)1990,JPO&Japio

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平2-27600

⑬ Int.Cl.⁵
G 11 C 29/00

識別記号
3 0 2

庁内整理番号
7737-5B

⑭ 公開 平成2年(1990)1月30日

審査請求 未請求 請求項の数 2 (全5頁)

⑮ 発明の名称 集積回路装置

⑯ 特 願 昭63-177820

⑰ 出 願 昭63(1988)7月15日

⑱ 発 明 者 平 嶋 正 芳 大阪府門真市大字門真1006番地 松下電器産業株式会社内
⑲ 出 願 人 松下電器産業株式会社 大阪府門真市大字門真1006番地
⑳ 代 理 人 弁理士 栗野 重孝 外1名

明 細 書

1、発明の名称

集積回路装置

2、特許請求の範囲

(1) デジタル信号を1メモリセル毎に1ビットずつ記憶せしめる集積回路に記憶させる情報量よりも少ない剰余のメモリセルを設け、情報量 α ビットに対して k ビットの誤り訂正コードを発生させる誤り訂正ロジック回路と、情報を一時待避させる1対のデータレジスタと、前記データレジスタ及び誤り訂正ロジックとメモリセルのアドレスとを制御する制御ロジックとを同一の半導体基板上に形成したことを特徴とする集積回路装置。

(2) 一度に書込む情報のビット数が、誤り訂正コードを付加する情報のビット数 α の $\frac{1}{k}$ の時に、 k 回の書込み毎に α ビット毎の誤り訂正コードを付加する制御ロジックを付加したことを特徴とする

特許請求の範囲第1項記載の集積回路装置。

3、発明の詳細な説明

産業上の利用分野

本発明は、半導体メモリ、特に大規模なデジタル信号記憶用の集積回路装置に関するものである。

従来の技術

従来の半導体メモリにおいては、メモリを行或は列単位に分け、行或は列を余分に設け、1ビットでも欠陥があれば、行或は列単位で予備と入れ替えていた。

発明が解決しようとする課題

しかるに、1ビットの欠陥を救済するため、行或は列単位で予備を設けると、欠陥のビット数が散在して増加すると、大容量メモリでは、予備のメモリも数多く準備せねばならないという問題が発生する。

本発明は上記課題に鑑み、予備のメモリ数を減らすことができると共に、検査後に、配線替えをするという工数を削減することのできる集積回路装置を提供することを目的とする。

課題を解決するための手段

本発明の集積回路は、1ビット誤り訂正回路を付加し、データは誤り訂正してメモリし、読み出

し時は誤り訂正して読み出すようにしたメモセル、誤り訂正ロジック、制御ロジック等を同一の半導体基板上に形成したものである。

作 用

本発明によれば、メモリへ書き込むデータを、 n ビット単位に分割し、 n ビット毎に k ビットの誤り訂正ビットを付加して書き込む。即ち行又は列を $n+k$ ビットで構成する。そして $n+k$ ビットを読み出し、誤り訂正を行ない、 n ビットの正しいデータを得るものである。

実 施 例

第1図に本発明の一実施例を示す。メモリ1の構成を $(n+k) \times p$ とする。行は $(n+k)$ ビットとし、 p を列の数とする。 $n+k=72$ と考えると、 $k=8$ 、 $n=64$ でハミングコードを用いれば1ビットの誤り訂正が行なえる。データとして64ビット単位とすることは不自然な値ではない。 $k=9$ とすれば、 $n=128$ にできる。 n と k の値は、メモリ1のビット単位の不良率を考慮して決めればよい。以下 $n=64$ 、 $k=8$ として

ットのデータをメモセル1へ書き込む手順を考える。64ビットのデータを直列で扱うので、アドレスは $a_0, a_1, a_2, a_3, a_4, a_5$ の6ビットあればよい。12の端子中、 $a_0 \sim a_5$ に相当する6個のアドレスラインの値が変化し、その変化に同期して、端子9の入力が変化し、先ずバッファメモリ7へ書き込まれる。バッファメモリ7のアドレスは、端子12の6ビットのアドレスをアドレス発生回路5を介して得ている。バッファメモリ7を書込モードに設定することは制御回路6によって行なう。次の64ビットはバッファメモリ8へ書き込まれ、この時、バッファメモリ7は制御回路6により読出モードに設定され、アドレスも制御回路6から供給される。又、この時、バッファメモリ7の出力を誤り訂正ロジック部2へ伝えるように制御回路6の出力で切替ゲート4を設定し、64ビットを誤り訂正ロジック部2へ伝え、誤り訂正ロジック部2で誤り訂正ビット8ビットを付加する。計72ビットがメモセル1へ伝えられる。第1図の1はメモセル以外に必要な周辺回

路を説明する。

第1図中1はメモセル、2は誤り訂正ロジック部、3は誤り訂正された信号から、誤り訂正を行なって、情報 $n=64$ のみを出力する回路、4はデータバッファメモリ7と8の出力を切替えて、誤り訂正ロジック部2へ供給する切替ゲートである。5は書き／読出しのアドレスを発生させる回路、6はメモリ全体を制御する制御回路、7と8は交互に書き／読出しを行なうバッファメモリで、 n ビットの容量を有する。9は入力端子で、簡単のため1ケのみ示してあるが、8ビット並列入力でも支障はない。出力端子13も、同様である。以下の説明では扱うデータは直列とし、端子9、13は各1ケとして扱う。10はクロック端子で、使わなくても支障ないが、ここでは動作を判り易くするためクロックを用いるものとする。クロックは内部で発生させても良い。11は書き／読出しを指定する端子である。12はアドレス指定の端子である。

先ず、データの書き込みについて述べる。64ビ

ットを含むことは云うまでもない。メモセル1の書き込み、読出しの制御は制御回路6で行ない、書き込みアドレスと読み出しアドレスの切替は通常のメモリと同じく、外部で行なう。

書き込み読み出しの時間的経過を第2図により補足説明する。時刻 $t_1 \sim t_2$ の間に X_1 の64ビットの情報が第1図のバッファメモリ7へ書き込まれ、 $t_{11} \sim t_{12}$ の間にバッファメモリ7から誤り訂正ロジック部2へ伝えられる。この間、アドレス発生回路5から、メモリ1と、バッファメモリ7、8へアドレスが伝えられる。データバッファメモリ7からの読み出しは、メモセル1の最小アクセス時間に合わせてある。 $t_{11} \sim t_{21}$ では X_2 の情報64ビットがデータバッファメモリ8へ書き込まれ、 $t_{21} \sim t_{22}$ の間にバッファメモリ8から切替ゲート4を介して、誤り訂正ロジック部2へ伝えられ誤り訂正される。以降これを繰返す。読み出しは、64ビット分のアドレスを指定し、64ビット単位で読み出す。出力バッファ及び誤り訂正ロジック3の中には、第3図に示すように、デ

ータバッファメモリ7と8に対応するメモリ3Aと3Bが含まれている。

以下第3図を参照しつつデータの読出しについて述べる。読出しのタイミングは第4図に示す。時刻 $T_1 \sim T_2$ でメモリ1から、第2図の X_1 の記憶されているメモリセル64ビットを読み出す。 X_1 の64ビットは誤り訂正部3Cのメモリに一度記憶され、 $T_2 \sim T_{11}$ の間に誤り訂正される。誤り訂正の仕方は、データを直列で扱っても、並列で扱ってもよいが、並列処理の場合、メモリセル1と誤り訂正部3Cの間の接続線が増大する。直列処理でも、 $T_1 \sim T_2$ と $T_2 \sim T_{11}$ が同程度の時間を見込んでおけば十分である。 $T_2 \sim T_{11}$ の間に、誤り訂正部3Cから、バッファメモリ3A(又は3B)へ X_1 の64ビットを転送しても、 $T_{11} \sim T_{12}$ の間に転送してもよいが、ここでは T_{11} までに転送が終るものとする。 T_{11} から3Rの入力が第4図Dの如く高レベルになり、インバータ3Rの出力が低レベルになり、データバッファメモリ3Aが読出し状態となり、 $T_{11} \sim T_{21}$ の間にバッファ

メモリ3Aから、 X_1 の64ビットが読み出され、セクタ3Sを介し、出力バッファ3Uへ伝えられ、出力バッファ3Uで適当なレベルと、インバーダンスに変換され、端子13から出力される。 $T_{11} \sim T_{21}$ では、セクタ3Sはバッファメモリ3Aの出力を通過させ、 $T_{21} \sim T_{31}$ ではバッファメモリ3Bの出力を通過させる。これは第4図Dの波形を用いればよく、制御回路6でこれを形成するのは容易である。 $T_{11} \sim T_{21}$ で、バッファメモリ3Aから X_1 の64ビットを読み出している間、メモリセル1から、誤り訂正部3Cへ X_2 のデータが読み出される。 $T_{11} \sim T_{12}$ の間に X_2 を読み出し終り、 $T_{12} \sim T_{21}$ の間に誤り訂正し、メモリ3Bへ書き込む。第4図Dの信号が、バッファメモリ3Bに加えられているので、バッファメモリ3Bは書き込み状態である。 T_{21} までに、 X_2 のバッファメモリ3Bへの書き込みが終了する。 T_{21} からはバッファメモリ3Bから X_2 の64ビットが読み出される。以下これを繰返す。R/Wアドレス発生部3Wでは、上記説明通りの動作を実行さ

せるため、バッファメモリ3A、3Bへ別のアドレスを供給する。R/Wアドレス発生部3Wでは、バッファメモリ容量が64ビット故、 $a_0 \sim a_6$ の6ビットを指定するが、メモリセル1は制御回路6から、それより上位 $a_6 \sim a_k$ ビットを指定する。

上記の如く構成すると、読出し、書き込みの始めのみ、誤り訂正する1単位分だけ遅れるが、連続して、読出し、書き込みをする場合は、始の遅れがそのまゝずれるだけであり、システム設計時に配慮しておけば支障はない。以上述べた如く構成すれば、データは1ビット誤り訂正されて書き込まれ、1ビット誤り訂正されて出力されるので、64ビット(詳しく云えば64+8)中の1ビットの欠陥は救済される。

発明の効果

以上のように本発明によれば、大容量メモリで、欠陥が増加した場合の欠陥救済が容易である。上記説明では、64+8のビット構成をとったが、例えば、512ビットに対し、10ビットの訂正コードを付加しても1ビットのエラーは訂正でき

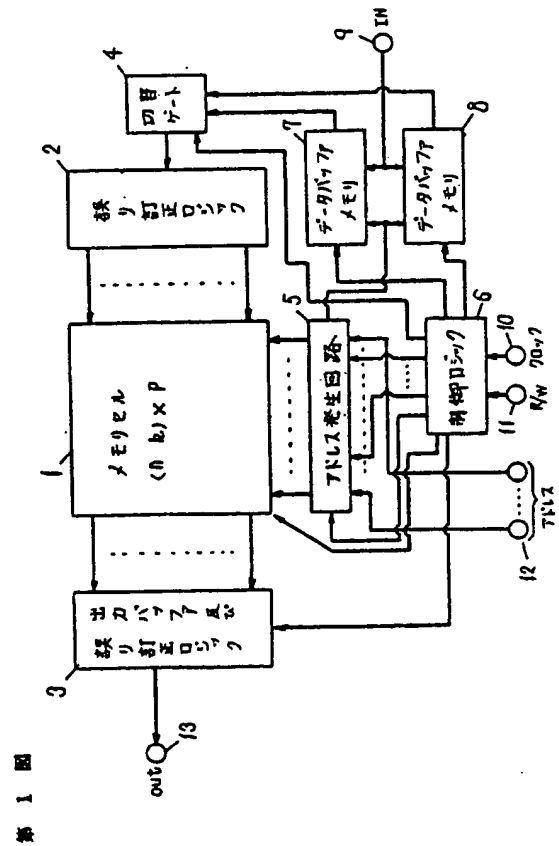
る。仮にメモリのビットエラー率が0.1%とすれば512ビットに対し、10ビットの誤り訂正を行えば、余裕を持って誤り訂正できる。従って、メモリ全体の容量が仮に16Mビットとすると、全体で16ビット以下の誤りなら、平均的には、512ビットの中には、1ビット以上の欠陥は含まれない。メモリの欠陥の程度を考慮して、誤り訂正の単位を決めれば、行或は列単位で予備を設け、配線替えする必要はない。但し、各メモリセルについてのテストは必要である。512ビットに対し10ビットの誤り訂正を行えば、メモリセルの増加量は約2%である。この程度のメモリセルの増加は、欠陥救済のための配線替え工数よりも安価になる。

4、図面の簡単な説明

第1図は本発明の一実施例の集積回路のブロック図、第2図はデータ書き込み時のタイムチャート、第3図は第1図の要部の動作説明のブロック図、第4図はデータ読出し時のタイムチャートである。

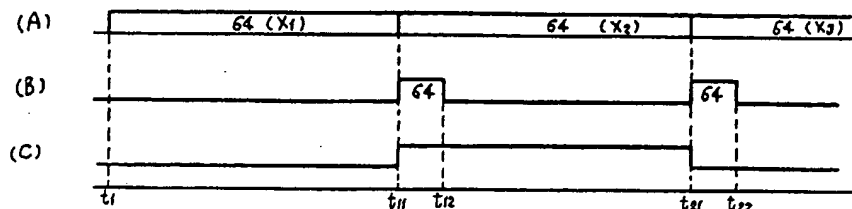
1……メモリセル、2……誤り訂正ロジック部、

3……出力バッファおよび誤り訂正ロジック部、
4……切替ゲート、5……アドレスバッファ、6……
……制御ロジック部、7, 8……バッファメモリ。
代理人の氏名 弁理士 栗野重孝ほか1名

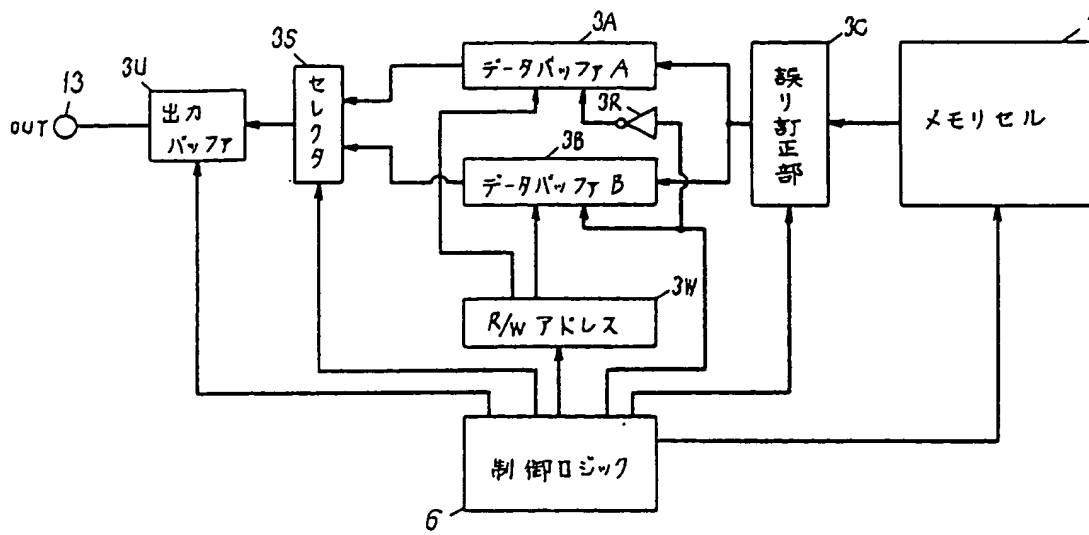


第 1 図

第 2 図



第 3 図



第 4 図

